

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-069211

(43)Date of publication of application : 11.03.1994

(51)Int.Cl.

H01L 21/3205

H01L 23/29

H01L 23/31

(21)Application number : 04-245900

(71)Applicant : NEC CORP

(22)Date of filing : 22.08.1992

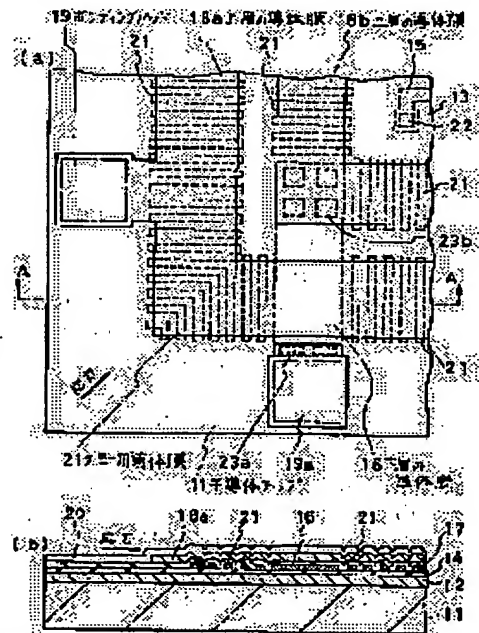
(72)Inventor : FURUICHI MITSUHIRO

(54) RESIN-SEALED SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve the reliability of a wiring structure by preventing sliding of a top layer wiring conductor film at the periphery of a semiconductor chip and cracks on an interlayer insulating film due to stress generated by resin.

CONSTITUTION: A resin-sealed semiconductor device is provided with a bottom layer wiring conductor film 16, an interlayer insulating film 17 and top layer wiring conductor films 18a and 18b at the periphery of a semiconductor chip. A plurality of narrow dummy conductor films 21 are provided at the bottom of the top layer wiring conductor films 18a and 18b on the same layer as the bottom layer wiring conductor film 16 without making contact with the film 16. The surface ruggedness generated by the dummy conductive films 21 increases the frictional resistance of the top layer wiring conductor films 18a and 18b, prevents sliding and prevents cracks on the interlayer insulating film 17.



LEGAL STATUS

[Date of request for examination] 27.09.1996

[Date of sending the examiner's decision of rejection] 12.10.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted: registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the semiconductor device which is equipped with the film and comes to carry out the resin seal of said semiconductor chip the lower layer object for wiring formed in the periphery of a semiconductor chip — a conductor — the film and this lower layer object for wiring — a conductor — the object for wiring of the upper layer formed on the wrap interlayer insulation film in the film — a conductor — the object for wiring of said upper layer — a conductor — the membranous bottom — said object for lower layer wiring — a conductor — the film and this layer — the object for lower layer wiring — a conductor — the film — non-contact — the object for two or more dummies with narrow width of face — a conductor — the plastic molded type semiconductor device characterized by forming the film.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the semiconductor device which has improved the dependability of the wiring structure in the periphery of a semiconductor chip about a plastic molded type semiconductor device.

[0002]

[Description of the Prior Art] Conventionally, a plastic molded type semiconductor device has the semiconductor device field 13 divided by the field oxide 12 alternatively formed in one principal plane of a semiconductor chip 11, as the top view and B-B line sectional view of a semiconductor chip periphery are shown in drawing 5 (a) and (b). moreover — a this top — the 1st interlayer insulation film 14 — minding — the aluminum film 15 for wiring inside a semiconductor chip, and the broad aluminum film 16 for low level wiring of a semiconductor chip periphery — forming — further — a this top — the 2nd interlayer insulation film 17 — minding — a semiconductor chip periphery — the broad 1st and 2nd aluminum film 18a and 18b for wiring is formed including the bonding pad section 19. Moreover, after covering a it top by the insulator layers 20 for protection, such as phosphorus silicate glass film and silicon nitride film, it has structure which etches alternatively the insulator layer 20 for protection only on the bonding pad section 19, and is exposed.

[0003]

[Problem(s) to be Solved by the Invention] When this conventional plastic molded type semiconductor device performs a +150 degree C — -65 degrees C heat cycle test, stress occurs by expansion and contraction of resin, and large stress joins the periphery of a semiconductor chip, especially the corner section of chip four corners. When the 1st and 2nd aluminum film 18a and 18b for wiring is arranged at the corner section of a semiconductor chip at this time, stress is added like the arrow head of drawing 3, and a crack arises in the insulator layer 20 for protection, or the slide (migration) of the 1st and 2nd aluminum film 18a and 18b occurs, and the dependability of wiring is made to fall.

[0004] Moreover, since the slide of 1st aluminum film 18a for wiring arranged especially in the outside of a periphery is large when the slide of the 1st and 2nd aluminum film 18a and 18b for wiring advances, in response to the stress generated with this slide, a crack occurs in the lower layer aluminum film 16 and the 2nd interlayer insulation film 17 in the intersection X of 1st aluminum film 18a. For this reason, there is a problem that 2nd aluminum film 18b used, for example as a power-source line and 1st aluminum film 18a which is used as a grand line and connected to the lower layer aluminum film 16 will connect too hastily through the lower layer aluminum

film 16. The purpose of this invention is to offer the semiconductor device which has improved the dependability of the wiring structure in the periphery of a semiconductor chip.

[0005]

[Means for Solving the Problem] the object for wiring of a lower layer [this invention: / periphery: / of a semiconductor chip] — a conductor — the film, an interlayer insulation film, and the object for the upper wiring — a conductor — the semiconductor device of the plastic molded type which has the film — setting — the object for the upper wiring — a conductor — the membranous bottom — the object for lower layer wiring — a conductor — the film and this layer — the object for lower layer wiring — a conductor — the film — non-contact — the object for two or more dummies with narrow width of face — a conductor — the film is formed.

[0006]

[Example] Next, this invention is explained with reference to a drawing. The 1st example of drawing 1 this invention is shown, this drawing (a) is a top view of the corner section of a semiconductor chip, and (b) is the A-A line sectional view. This semiconductor device forms alternatively field-oxide 12 of 1.0 micrometers of thickness in one principal plane of a semiconductor chip 11, divides the semiconductor device field 13 and forms the 1st layer aluminum film 15 of 0.5 micrometers of thickness, the lower layer aluminum film 16 of a semiconductor chip periphery, and two or more aluminum film 21 for lower layer dummies with narrow width of face through the 1st interlayer insulation film 14, such as phosphorus silicate glass film of 1.0 micrometers of thickness, on it. The 1st layer aluminum film 15 is connected to a component by the through hole 22.

[0007] Moreover, the 2nd layer aluminum film of 1.0 micrometers of thickness is formed through the 2nd interlayer insulation film 17 formed by the plasma-CVD silicon oxide film of 1.0 micrometers of thickness on this. This 2nd layer aluminum film is 1st aluminum film 18a of a semiconductor chip periphery, and 2nd aluminum film 18b, and contains the bonding pad section 19 in that part. Furthermore, after covering a this top by the insulator layers 20 for protection, such as phosphorus silicate glass film and a silicon nitride, desired structure is acquired by carrying out selective etching of the insulator layer 20 for protection on the bonding pad section 19, and making it expose. In addition, said lower layer aluminum film 16 is connected with the 2nd aluminum film of 2nd aluminum film 18b and bonding pad section 19a through through holes 23a and 23b, respectively.

[0008] Since two or more aluminum 21 for lower layer dummies with narrow width of face is formed in the bottom of each of the 1st [which is arranged at a semiconductor chip periphery], and 2nd aluminum film 18a and 18b according to this configuration, without contacting the lower layer aluminum film 16, irregularity will be formed in the front face of the 2nd interlayer insulation film [which is formed on it] 17 and 1st, and 2nd aluminum film 18a and 18b. Therefore, even when the skin-friction drag of the 2nd interlayer insulation film 17 and the 1st and 2nd aluminum film 18a and 18b increases and stress is applied with this surface irregularity, it can control that the 1st and 2nd aluminum film 18a and 18b slides, and the above mentioned problem resulting from this slide can be prevented.

[0009] The effectiveness of the slide prevention by the above mentioned aluminum film 21 for lower layer dummies is explained. As for the top view of the experiment pattern with which the aluminum film 21 for lower layer dummies does not exist, and drawing 2 (b), the aluminum film 21 for lower layer dummies of drawing 2 (a) is the top view of the existing experiment pattern. Here, a chip size is the width of face of 14.8x14.8mm** and 1st aluminum film 18a. Width of face of 200 micrometers and 2nd aluminum film 18b The width of face of 150 micrometers and the lower layer aluminum film 16 is 5 micrometers, and every one width of face each of 60 micrometers and the aluminum film 21 for lower layer dummies is prepared in the both ends of the lower layer aluminum film 16 at intervals of 5 micrometers.

[0010] Drawing 3 shows the generating distance from the corner section of the semiconductor chip of a slide of the 1st [by the existence of the lower layer dummy aluminum film 21 shown in drawing 2 (a) and (b)], and 2nd aluminum film 18a and 18b. In this case, a heat cycle test is 108 times at +150 degree C — -65 degrees C. Each generating distance from the corner of a slide of the 1st and 2nd aluminum film 18a and 18b has the aluminum film 21 for lower layer dummies, it is [direction] short and generating distance is short about 30 to 40%. Every one aluminum film 21 each for lower layer dummies was only formed in the both ends of the lower layer aluminum film 16, and is understood that the effectiveness is large. If the number of the aluminum film 21 for lower layer dummies is increased more, it is clear that the effectiveness goes up further.

[0011] In said example, it is what covered with two or more aluminum film 21 for lower layer dummies with the narrow width of face of a L character mold in ***** of 1st aluminum film 18a, and it turns out that effectiveness higher than the pattern shown in drawing 2 (b) is acquired so that the bottom of each of the 1st and 2nd aluminum film 18a and 18b may be crossed. Moreover, about 5-10 micrometers is suitable for spacing of the aluminum film 21 for lower layer dummies and the lower layer aluminum film 16 which are actually formed, spacing of aluminum film 21 comrades for lower layer dummies, and width of face, and its effectiveness is also respectively large.

[0012] Drawing 4 is the top view of the semiconductor chip corner section of the 2nd example of this invention. In this example, in ***** of 1st aluminum film 18a, the aluminum film 21 for lower layer dummies can be perpendicularly formed to stress, and generating of a slide of 1st aluminum film 18a can be prevented more effectively. As mentioned above, although explained taking the case of the corner section of a semiconductor chip, when the resin seal of the big chip which exceeds 15mm** is carried out, it cannot be overemphasized that the problem same with having described above also in the periphery of a chip occurs, and this invention can apply also in a chip periphery.

[0013]

[Effect of the Invention] the object for wiring of the upper layer which prepared this invention in the semiconductor chip of a plastic molded type semiconductor device as explained above — a conductor — the membranous bottom — the object for lower layer wiring — a conductor — the film and this layer — the object for lower layer wiring — a conductor — the film — non-contact — the object for two or more dummies with narrow width of face — a conductor, since the film is formed the object for the upper wiring — a conductor — while being able to prevent a membranous slide — the object for the upper wiring — a conductor — the film and the lower layer object for wiring — a conductor — the crack of the interlayer insulation film in a membranous intersection can be prevented, and it is effective in the dependability of the wiring structure in the periphery of a semiconductor chip being improvable.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The 1st example of this invention is shown, (a) is the top view of the corner section of a semiconductor chip, and (b) is the A-A line sectional view.

[Drawing 2] It is a flat-surface pattern Fig. for experimenting in the effectiveness of the aluminum film for dummies.

[Drawing 3] It is drawing showing the slide generating distance corresponding to the flat-surface pattern of drawing 2.

[Drawing 4] It is the top view of the corner section of the semiconductor chip of the 2nd example of this invention.

[Drawing 5] The conventional semiconductor chip is shown, (a) is the top view of the corner section and (b) is the B-B line sectional view.

[Description of Notations]

11 Semiconductor Chip

14 Interlayer Insulation Film

15 and 16 the lower layer object for wiring — a conductor — film

17 Interlayer Insulation Film

18a and 18b the object for the upper wiring — a conductor — film

19 Bonding Pad

21 Object for Dummies — Conductor — Film

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-69211

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/3205

23/29

23/31

7514-4M

8617-4M

H 0 1 L 21/ 88

23/ 30

S

D

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号

特願平4-245900

(22)出願日

平成4年(1992)8月22日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 古市 充寛

東京都港区芝五丁目7番1号 日本電気株式会社内

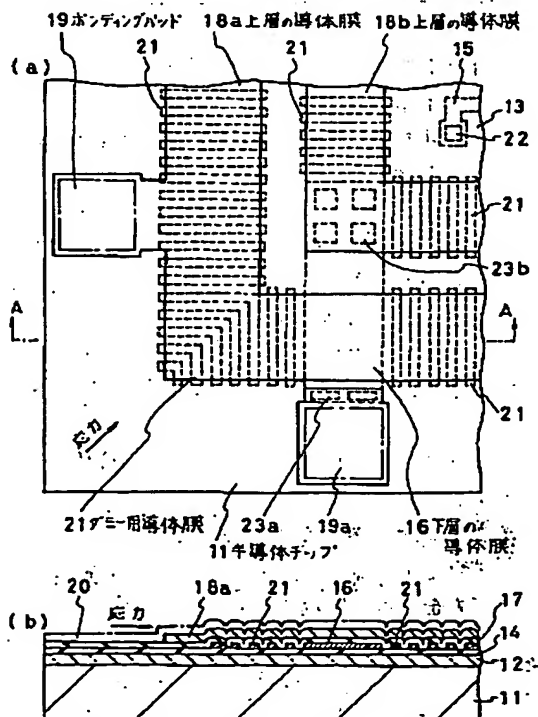
(74)代理人 弁理士 鈴木 章夫

(54)【発明の名称】 樹脂封止型半導体装置

(57)【要約】

【目的】 樹脂封止型半導体装置において、樹脂により発生する応力が原因とされる半導体チップの周辺部における上層の配線用導体膜のスライドや層間絶縁膜のクラックを防止して配線構造の信頼性を改善する。

【構成】 半導体チップの周辺部に下層の配線用導体膜16、層間絶縁膜17、上層の配線用導体膜18a、18bを有する樹脂封止型の半導体装置において、上層の配線用導体膜18a、18bの下側に、下層配線用導体膜16と同層でかつこれとは非接触で幅の狭い複数本のダミー用導体膜21を形成する。このダミー用導体膜21により生じる表面凹凸により、上層配線用導体18a、18bの摩擦抵抗を大きくし、そのスライドを防止し、層間絶縁膜のクラックの発生を防止する。



(2)

【特許請求の範囲】

【請求項1】 半導体チップの周辺部に形成された下層の配線用導体膜と、この下層の配線用導体膜を覆う層間絶縁膜上に形成された上層の配線用導体膜とを備え、前記半導体チップを樹脂封止してなる半導体装置において、前記上層の配線用導体膜の下側に、前記下層配線用導体膜と同層で下層配線用導体膜とは非接触で幅の狭い複数本のダミー用導体膜を形成したことを特徴とする樹脂封止型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は樹脂封止型半導体装置に関し、特に半導体チップの周辺部における配線構造の信頼性を改善した半導体装置に関する。

【0002】

【従来の技術】 従来、樹脂封止型半導体装置は、図5

(a) 及び (b) に半導体チップ周辺部の平面図と B-B 線断面図を示すように、半導体チップ 11 の一主面に選択的に形成されたフィールド酸化膜 12 で区画された半導体素子領域 13 を有する。また、この上には第 1 の層間絶縁膜 14 を介して半導体チップ内部の配線用アルミニウム膜 15、及び半導体チップ周辺部の幅広の低層配線用アルミニウム膜 16 を形成し、更にこの上に第 2 の層間絶縁膜 17 を介して半導体チップ周辺部幅広の第 1、第 2 の配線用アルミニウム膜 18 a、18 b をボンディングパッド部 19 を含めて形成している。また、その上をリンシリケートガラス膜、シリコンナイトライド膜等の保護用絶縁膜 20 で覆った後、ボンディングパッド部 19 上のみの保護用絶縁膜 20 を選択的にエッチングして露出させる構造となっている。

【0003】

【発明が解決しようとする課題】 この従来の樹脂封止型半導体装置は、例えば +150℃～-65℃ の温度サイクル試験を行った場合、樹脂の伸び縮みにより応力が発生し、半導体チップの周辺部、特にチップ四隅のコーナ部には大きい応力が加わる。このとき、半導体チップのコーナ部に第 1、第 2 の配線用アルミニウム膜 18 a、18 b が配置されていると、図 3 の矢印のように応力が加わり、保護用絶縁膜 20 にクラックが生じ、或いは第 1、第 2 のアルミニウム膜 18 a、18 b のスライド(移動)が発生し、配線の信頼性を低下させることになる。

【0004】 また、第 1、第 2 の配線用アルミニウム膜 18 a、18 b のスライドが進行すると、特に周辺部の外側に配設された第 1 の配線用アルミニウム膜 18 a のスライドが大きいので、このスライドによって発生する応力を受けて下層のアルミニウム膜 16 と第 1 のアルミニウム膜 18 a の交差部 X における第 2 の層間絶縁膜 17 にクラックが発生する。このため、例えば電源線として使用される第 2 のアルミニウム膜 18 b と、グランド

線として使用されて下層のアルミニウム膜 16 に接続されている第 1 のアルミニウム膜 18 a とが下層アルミニウム膜 16 を介して短絡してしまうという問題がある。本発明の目的は、半導体チップの周辺部における配線構造の信頼性を改善した半導体装置を提供することにある。

【0005】

【課題を解決するための手段】 本発明は、半導体チップの周辺部に下層の配線用導体膜、層間絶縁膜、上層の配線用導体膜を有する樹脂封止型の半導体装置において、上層の配線用導体膜の下側に、下層配線用導体膜と同層で下層配線用導体膜とは非接触で幅の狭い複数本のダミー用導体膜を形成する。

【0006】

【実施例】 次に、本発明について図面を参照して説明する。図 1 本発明の第 1 実施例を示しており、同図 (a) は半導体チップのコーナ部の平面図、(b) はその A-A 線断面図である。この半導体装置は、半導体チップ 11 の一主面に、例えば膜厚 1.0 μm のフィールド酸化膜 12 を選択的に形成して半導体素子領域 13 を区画し、その上に膜厚 1.0 μm のリンシリケートガラス膜等の第 1 の層間絶縁膜 14 を介して膜厚 0.5 μm の第 1 層アルミニウム膜 15 と、半導体チップ周辺部の下層アルミニウム膜 16 と、幅の狭い複数本のダミー用アルミニウム膜 21 を形成する。第 1 層アルミニウム膜 15 はスルーホール 22 により素子に接続される。

【0007】 また、この上に膜厚 1.0 μm のプラズマ CVD 酸化シリコン膜で形成した第 2 層間絶縁膜 17 を介して膜厚 1.0 μm の第 2 層アルミニウム膜を形成する。この第 2 層アルミニウム膜は、半導体チップ周辺部の第 1 のアルミニウム膜 18 a 及び第 2 のアルミニウム膜 18 b であり、その一部にボンディングパッド部 19 を含んでいる。更に、この上をリンシリケートガラス膜、シリコン窒化膜等の保護用絶縁膜 20 で覆った後、ボンディングパッド部 19 上の保護用絶縁膜 20 を選択エッチングして露出させることにより所望の構造を得る。なお、前記下層アルミニウム膜 16 はスルーホール 23 a、23 b を介してそれぞれ第 2 のアルミニウム膜 18 b、ボンディングパッド部 19 a の第 2 アルミニウム膜と接続されている。

【0008】 この構成によれば、半導体チップ周辺部に配置される第 1、第 2 のアルミニウム膜 18 a、18 b のそれぞれの下に、下層アルミニウム膜 16 には接触せずに幅の狭い複数本のダミー用アルミニウム 21 が設けられているため、その上に形成される第 2 の層間絶縁膜 17 及び第 1、第 2 のアルミニウム膜 18 a、18 b の表面に凹凸が形成されることになる。したがって、この表面凹凸によって第 2 の層間絶縁膜 17 と第 1、第 2 のアルミニウム膜 18 a、18 b の表面摩擦抵抗が増大され、応力が加えられた場合でも第 1、第 2 のアルミ

ニウム膜18a、18bがスライドすることを抑制し、このスライドに起因する前記した問題を防止することができる。

【0009】前記した下層ダミー用アルミニウム膜21によるスライド防止の効果を説明する。図2(a)は下層ダミー用アルミニウム膜21が存在しない実験パターンの平面図、図2(b)は下層ダミー用アルミニウム膜21が存在する実験パターンの平面図である。ここで、チップサイズは14.8×14.8mm□、第1のアルミニウム膜18aの幅は200μm、第2のアルミニウム膜18bの幅は150μm、下層アルミニウム膜16の幅は60μm、下層ダミー用アルミニウム膜21の幅は5μmで、間隔5μmで下層アルミニウム膜16の両端に各1本ずつ設けてある。

【0010】図3は図2(a)及び(b)に示した下層ダミーアルミニウム膜21の有無による第1、第2のアルミニウム膜18a、18bのスライドの半導体チップのコーナ部からの発生距離を示したものである。この場合、温度サイクル試験は+150℃〜−65℃で108回である。第1、第2のアルミニウム膜18a、18bのスライドのコーナからの発生距離はいずれも下層ダミー用アルミニウム膜21の有る方が短く、30〜40%ほど発生距離が短くなっている。下層ダミー用アルミニウム膜21は下層アルミニウム膜16の両端に各1本ずつ設けただけで、その効果が大きいことが判る。下層ダミー用アルミニウム膜21の本数をもっと増やせば、その効果が更に上がることは明白である。

【0011】前記実施例では、第1、第2のアルミニウム膜18a、18bのそれぞれの下を横切るように、また第1のアルミニウム膜18aの曲設部においてはL字型の幅の狭い複数本の下層ダミー用アルミニウム膜21を敷き詰めたもので、図2(b)に示したパターンよりもより高い効果が得られることが判る。また、実際に形成される下層ダミー用アルミニウム膜21と下層アルミニウム膜16との間隔、及び下層ダミー用アルミニウム膜21同士の間隔及び幅は各々5〜10μm程度が適当で効果も大きい。

【0012】図4は本発明の第2実施例の半導体チップコーナ部の平面図である。この実施例においては、第1

のアルミニウム膜18aの曲設部において応力に対して垂直方向に下層ダミー用アルミニウム膜21を設けたものであり、第1のアルミニウム膜18aのスライドの発生をより効果的に防止することができる。以上、半導体チップのコーナ部を例にとりて説明したが、15mm□を越えるような大きなチップを樹脂封止した場合、チップの周辺部においても前記したのと同様な問題が発生し、本発明がチップ周辺部においても適用できることは言うまでもない。

【0013】

【発明の効果】以上説明したように本発明は、樹脂封止型半導体装置の半導体チップに設けた上層の配線用導体膜の下側に、下層配線用導体膜と同層で下層配線用導体膜とは非接触で幅の狭い複数本のダミー用導体膜を形成しているので、上層の配線用導体膜のスライドを防止することができるとともに、上層の配線用導体膜と下層の配線用導体膜の交差部における層間絶縁膜のクラックを防止でき、半導体チップの周辺部における配線構造の信頼性を改善することができる効果がある。

【図面の簡単な説明】

【図1】本発明の第1実施例を示し、(a)は半導体チップのコーナ部の平面図、(b)はそのA-A線断面図である。

【図2】ダミー用アルミニウム膜の効果を実験するための平面パターン図である。

【図3】図2の平面パターンに対応するスライド発生距離を示す図である。

【図4】本発明の第2実施例の半導体チップのコーナ部の平面図である。

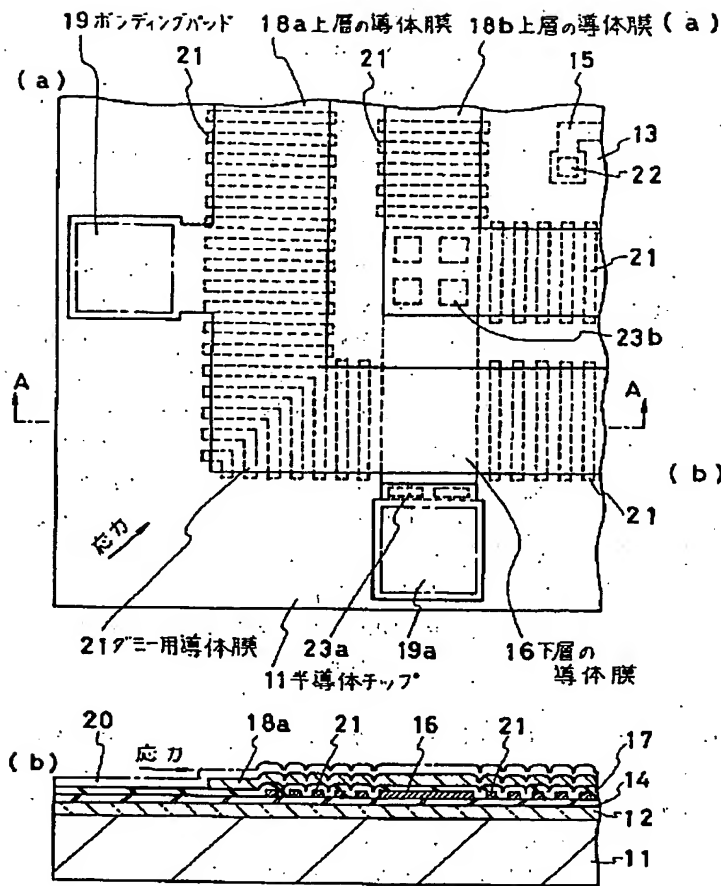
【図5】従来の半導体チップを示し、(a)はコーナ部の平面図、(b)はそのB-B線断面図である。

【符号の説明】

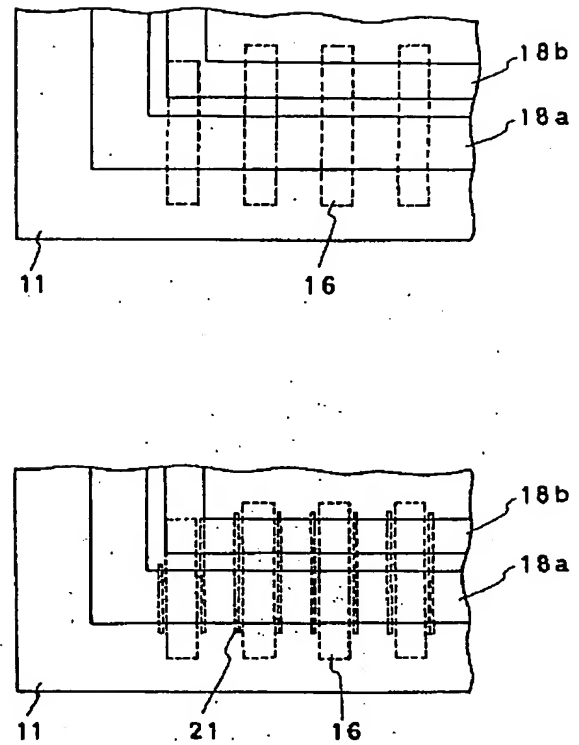
- 11 半導体チップ
- 14 層間絶縁膜
- 15、16 下層の配線用導体膜
- 17 層間絶縁膜
- 18a、18b 上層の配線用導体膜
- 19 ボンディングパッド
- 21 ダミー用導体膜

(4)

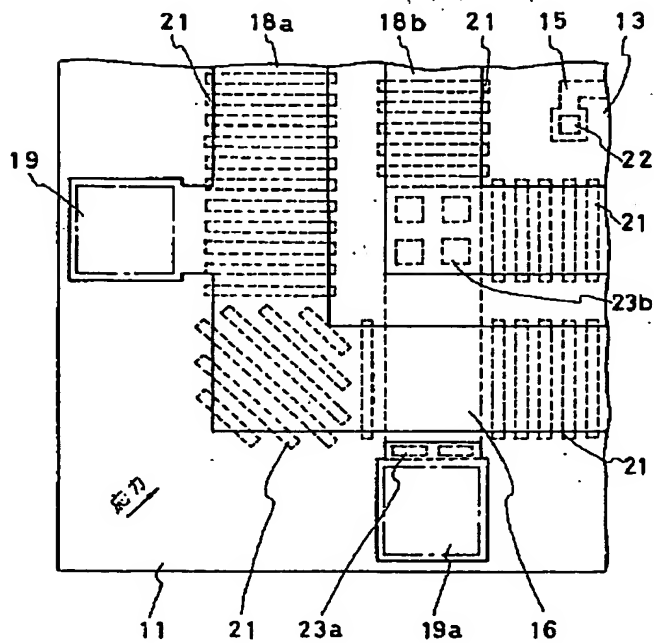
【図1】



【図2】

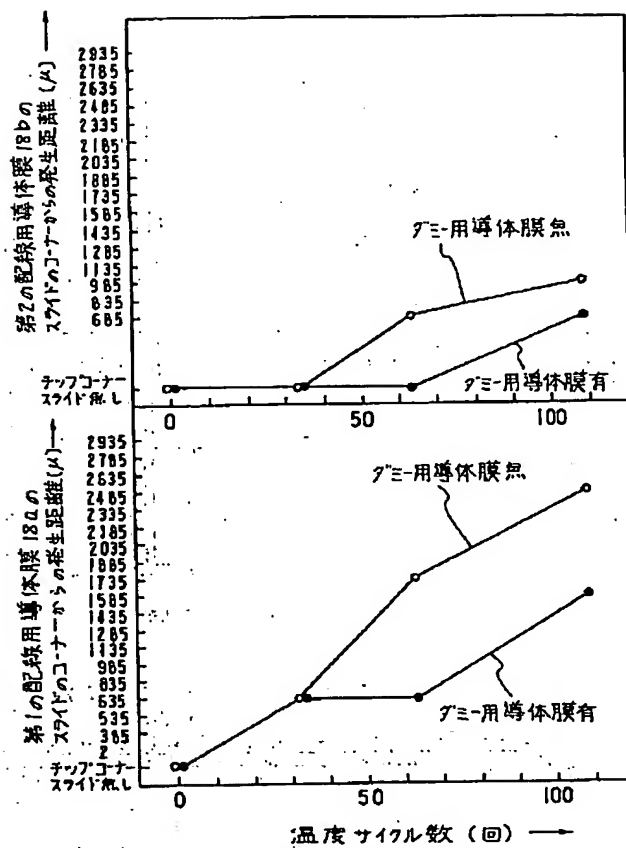


【図4】



(5)

【図3】



(6)

【図5】

